

## JP61248541

Publication Title:

SEMICONDUCTOR DEVICE

Abstract:

**PURPOSE:**To contrive to form a semiconductor device into a small size and a thin type by a method wherein the gap between two pieces of the mutually opposed semiconductor elements in a surface-to-surface symmetry is covered with a thermosetting resin in a state that the lead materials are held between the bonding pads on the surfaces of the elements, the gap between the elements is made smaller, and the amount of intrusion of alpha rays is lessened.

**CONSTITUTION:**In each bonding pad on the surfaces of semiconductor elements 1 and 1' having patterns A and B to be formed in a surface-to-surface symmetry, an external electrode 6 of Al and so forth is made to expose from the window 5 of a surface protective film 4, a metal film 7 of a Ti-Pd-Pb-Sn alloy solder is evaporated thereon, then the pattern of the three-layer metal film 7 is selectively formed larger than the pad 3. Then, the element 1 is made to connect its inner leads 8 with film carriers 9 in a reducing atmosphere of H<sub>2</sub> gas and the element 1' is made to oppose to the element 1 holding the inner leads 8 between the elements 1 and 1' and is made to connect its inner leads 8 with the film carriers 9. The outer leads of the film carriers 9 obtained are connected to lead frames 10 and the semiconductor device is completed by molding the gap between the elements with a resin 11. In the memory device to be constituted in this structure, the probability of the generation of a soft error due to alpha rays to generate from the peripheral materials is extremely low because the gap between the elements is small.

-----  
Data supplied from the esp@cenet database - <http://ep.espacenet.com>

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-248541

⑬ Int.Cl.<sup>4</sup>

H 01 L 25/04  
23/28

識別記号

庁内整理番号

7638-5F  
6835-5F

⑭ 公開 昭和61年(1986)11月5日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-90072

⑰ 出 願 昭60(1985)4月26日

⑱ 発 明 者 野 世 幸 之 門真市大字門真1006番地 松下電子工業株式会社内  
⑲ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地  
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 単一のパッケージ内に配線面が対向して接着された複数の半導体素子が含まれ、両半導体素子の回路機能が同一で、両素子の接着面から両素子共通のリードが引き出されていることを特徴とする半導体装置。

(2) 2ケの半導体素子の電極端子パターンが面対称でなることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 2ケの半導体素子共通のリードが銅、鉄、鉄/ニッケル合金、鉄/ニッケル/コバルト合金の薄板からなり、その表面は金または銀のメッキが施されていることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体装置パッケージングに関する。

従来の技術

半導体素子の回路パターンやパッケージングは、通常一種類の機能に対して、一種類のパターンと一個のパッケージから構成されている。特にプラスチックパッケージの場合は、半導体素子と外部回路との電気的信号の授受を行うための導体部を構成するリードフレームのパターンは二次元に配置されている。また、リードフレームには半導体素子を固着するためのダイアタッチ部が、ほぼ中央に配置され、その部分に一個の半導体素子を搭載する。そしてダイアタッチ部を取り囲むリードフレームの一部であるインナーリード先端部と半導体素子のアルミニウム等からなる端子電極(以後、ボンディングパッドと記す)部とを、金もしくは、アルミニウムからなる細線で接続する。接続方法は、一般に熱圧着法、超音波波圧着法あるいは上記二方法の併用が用いられる。この状態のリードフレームをパッケージ成形用樹脂の熔融温度以上に設定した成形用金型上に、配置し、その後熱硬化性樹脂を注入して外周パッケージを形

成し、アウターリード処理を施すことで、プラスチックパッケージが完成する。

#### 発明が解決しようとする問題点

半導体装置が実装される電子機器は、小型、薄型、軽量化の追求の中で、半導体装置にもそれらの技術指向を求めている。特に電子機器の機能を左右する記憶回路の大容量化は、半導体素子の微細加工と、高密度化、さらには、それらの半導体素子を搭載するパッケージの小型化に依存してきた。

しかしそれらの技術指向も限界に至り、現在では、半導体大容量記憶素子のうち、特にダイナミック型RAMでは、電気的雑音や、構成材料中に微量に混入しているウランやトリウムから放出される $\alpha$ 線による、電気的誤動作が深刻な問題となっているために、半導体素子表面に $\alpha$ 線遮へい用のコーティング材を所定の厚さ（通常、最も薄い部分で $250\mu\text{m}$ 、厚さ部分では $300\sim 500\mu\text{m}$ に及ぶ）に塗布している。従ってそれらを機械的に保護出来る厚さにプラスチックで成形する

ためにパッケージが膨大化し、その小型化が図れなかった。

#### 問題点を解決するための手段

電気的特性と共通ボンディングパッドやダミーを含む固有ボンディングパッドが同一場所に配置された二個の半導体大容量記憶素子から構成され、二個の半導体素子表面上のパターンニングは、面対称とし、二個の半導体素子の表面どうしを対向させた時、ボンディングパッドの位置は、電気信号の共通化可能なものは完全に一致するようなパターンを配置し、共通不可能なものは、対向素子の同一場所にダミーボンディングパッドを配置する。この二個の半導体素子のボンディングパッドの間に、外部回路との接続を行うためのリード材料を挟み、この状態で、上下面の半導体素子を同時にしくは、個別に取り付けて、これを、熱硬化性樹脂で覆うことで小型、薄型化の半導体装置が達成できる。

#### 作 用

この構成により、対向素子間の隙間を小さくし、

この部分への $\alpha$ 線侵入量を小さくし、コーティング材不要の高密度実装が実現できる。

#### 実 施 例

半導体大容量記憶素子の構造を用いて、本発明を実施例によって詳しくのべる。

第1図は、本発明実施例の断面図であり、第2図は一对の半導体素子のパターン図である。第1図中の半導体素子1は、第2図のパターンA、パターンBに示されるように、表面上の構成回路パターン2の上下左右が全く反対に形成された二個一組からなる半導体素子であり、これらを通常の半導体製造工程でプラスチックパッケージ11に封入したものである。この時、パターンA、Bをもつ一对の半導体素子1、1'の表面のボンディングパッド3部は表面保護膜4に $80\sim 150\mu\text{m}$ の開口5が設けられており開口5部は端子電極6の材料のアルミニウムやアルミニウム、シリコン合金、またはアルミニウム、シリコン、銅合金が露出している。この上に、第3図のように、チタニウム/パラジウム/ハンダ(Pb-Sn)や、ク

ロム/銅/ハンダ(Pb-Sn)の三層構造(0.3 $\mu$ )(0.5 $\sim$ 0.5 $\mu$ )(1 $\sim$ 10 $\mu$ )金属膜7を蒸着法で形成する。つぎにボンディングパッド3より $20\sim 50\mu\text{m}$ 大きい三層構造金属膜7のパターンを、通常の湿式または乾式フォトリソグラフィ技術で形成する。このような方法で作られた半導体素子1はダイシング法でフルカットする。このうち、パターンAを有する半導体素子1は、 $N_2:H_2=9:1$ 、 $7:3$ 、 $0:10$ からなる、水素還元雰囲気中で、インナーリード8がハンダや金のパンプのついたフィルムキャリア9に $250\sim 300^\circ\text{C}$ の温度で接続する。さらにパターンBを有する半導体素子1'は、前述のパターンAを位置合わせの対称として、インナーリード8を挟んで表面が対向し合うように、上記温度と雰囲気中で位置合わせの後接続する。この方法で得られたパターンA、Bの各半導体素子1、1'つきのフィルムキャリア9のアウターリードをリードフレーム10に熱圧着法や超音波法などで接続し、これをパッケージ成形用樹脂11で成形して本発明の構造が達成できる。

またこの構造は、半導体素子1、1'の対向する隙間を30〜40  $\mu\text{m}$ に保つことができる。

#### 発明の効果

本発明の構造を有する半導体大容量記憶装置では対向した複数の半導体素子の隙間が小さいために、周囲材料から発生した $\alpha$ 線によるソフトエラーの発生確立が極めて低くなる。

また裸の半導体素子(チップ)を対向して重ねるために、小さなパッケージ内に収納でき、高密度実装が図れる。

#### 4、図面の簡単な説明

第1図は本発明による半導体装置の断面図、第2図は一組の半導体素子のパターン略図、第3図は半導体素子がリードに取り付けられたバンプ付近の拡大断面図である。

1……半導体素子、2……構成回路パターン、3……ボンディングパッド、4……表面保護膜、5……開孔、6……端子電極、7……三層構造金属膜、8……インナーリード、9……フィルムキャリヤ、10……リードフレーム、11……パッ

